



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0067296
(43) 공개일자 2019년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/48 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2017-0166827
(22) 출원일자 2017년12월06일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
배수빈
경상북도 경산시 진량읍 대구대로 606
정유광
경기도 안양시 만안구 안양천서로 177, 래미안안
양메가트리아 204동 1504호 (안양동)
(74) 대리인
(뒷면에 계속)
특허법인가산

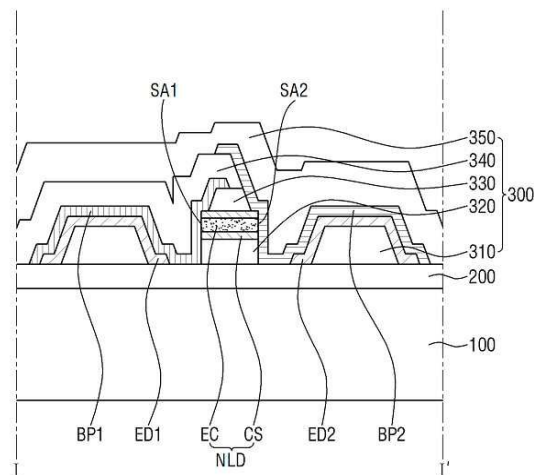
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 발광 다이오드 장치 및 이의 제조 방법

(57) 요약

발광 다이오드 장치 및 발광 다이오드 장치의 제조 방법이 제공된다. 발광 다이오드 장치는 복수의 발광 영역이 정의된 박막 트랜지스터 기판, 상기 박막 트랜지스터 기판 상에 배치된 제1 다이오드 전극 및 제2 다이오드 전극, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 배치된 제1 패시베이션 패턴, 상기 제1 패시베이션 패턴 상에 배치된 복수의 미세 발광 다이오드, 상기 미세 발광 다이오드 상에 배치되며, 상기 제1 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제1 브릿지 패턴, 상기 제1 브릿지 패턴 상에 배치되며, 상기 제2 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제2 브릿지 패턴을 포함하되, 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽은 동일면을 형성한다.

대표도 - 도4



(52) CPC특허분류

H01L 33/005 (2013.01)

H01L 33/48 (2013.01)

(72) 발명자

최신일

경기도 화성시 동탄반석로 96, 솔빛마을경남아너스
빌아파트 406동 1104호 (반송동)

이준걸

경기도 수원시 영통구 신원로 150-1, 403호 (신동)

김상갑

서울특별시 강동구 고덕로 210, 삼익그린아파트
508동 1407호 (명일동)

명세서

청구범위

청구항 1

복수의 발광 영역이 정의된 박막 트랜지스터 기판;

상기 박막 트랜지스터 기판 상에 배치된 제1 다이오드 전극 및 제2 다이오드 전극;

상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 배치된 제1 패시베이션 패턴;

상기 제1 패시베이션 패턴 상에 배치된 복수의 미세 발광 다이오드;

상기 미세 발광 다이오드 상에 배치되며, 상기 제1 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제1 브릿지 패턴;

상기 제1 브릿지 패턴 상에 배치되며, 상기 제2 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제2 브릿지 패턴을 포함하되,

상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽은 동일면을 형성하는 발광 다이오드 장치.

청구항 2

제1 항에 있어서,

상기 미세 발광 다이오드는 발광 물질 및 상기 발광 물질을 원기둥 형태로 둘러싸는 보호층을 포함하는 발광 다이오드 장치.

청구항 3

제2 항에 있어서,

상기 미세 발광 다이오드는 원기둥 모양을 갖되, 윗면에 대응되는 제1 측벽 및 밑면에 대응되는 제2 측벽을 포함하는 발광 다이오드 장치.

청구항 4

제3 항에 있어서,

상기 발광 물질은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 갖는 발광 다이오드 장치.

청구항 5

제4 항에 있어서,

상기 제1 측벽은 상기 p형 반도체층을 노출하고, 상기 제2 측벽은 상기 n형 반도체층을 노출하는 발광 다이오드 장치.

청구항 6

제5 항에 있어서,

상기 제1 측벽은 상기 제1 브릿지 패턴과 접촉하고, 상기 제2 측벽은 상기 제2 브릿지 패턴과 접촉하는 발광 다이오드 장치.

청구항 7

제3 항에 있어서,

상기 발광 물질은 무기 결정 구조를 갖는 발광 다이오드 장치.

청구항 8

제1 항에 있어서,

상기 제1 브릿지 패턴은 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽을 따라 배치된 발광 다이오드 장치.

청구항 9

제8 항에 있어서,

상기 제2 브릿지 패턴은 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽을 따라 배치된 발광 다이오드 장치.

청구항 10

제1 항에 있어서,

상기 제1 다이오드 전극 및 상기 제2 다이오드 전극은 서로 평행하게 교대로 배치되는 미세 전극 라인들을 포함하는 발광 다이오드 장치.

청구항 11

제10 항에 있어서,

상기 제1 패시베이션 패턴은 상기 미세 전극 라인들 사이에 배치되는 발광 다이오드 장치.

청구항 12

제10 항에 있어서,

상기 미세 발광 다이오드는 상기 미세 전극 라인들 사이에 배치되는 발광 다이오드 장치.

청구항 13

제1 항에 있어서,

상기 박막 트랜지스터 기관 상에 배치되고, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극의 하부에 배치된 격벽을 더 포함하는 발광 다이오드 장치.

청구항 14

박막 트랜지스터 기관을 준비하는 제1 단계;

상기 박막 트랜지스터 기관 상에 제1 다이오드 전극 및 제2 다이오드 전극을 형성하는 제2 단계;

상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 제1 패시베이션 패턴, 미세 발광 다이오드 및 제2 패시베이션 패턴을 형성하는 제3 단계;

상기 제1 패시베이션 패턴 및 상기 미세 발광 다이오드 상에 제1 브릿지 패턴 및 제2 브릿지 패턴을 형성하는 제4 단계를 포함하되,

상기 제3 단계는 2회의 식각 공정을 포함하는 하나의 마스크 공정에 의하여 수행되는 발광 다이오드 장치의 제조 방법.

청구항 15

제14 항에 있어서,

상기 제3 단계는

상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 제1 패시베이션 물질층을 형성하는 단계,

상기 제1 패시베이션 물질층 상에 상기 미세 발광 다이오드를 배치하는 단계,

상기 미세 발광 다이오드 상에 제2 패시베이션 물질층을 배치하는 단계,

상기 제2 패시베이션 물질층 상에 감광성 물질층을 도포하는 단계,

상기 감광성 물질층에 노광하고 현상하는 단계,

상기 제1 패시베이션 물질층, 상기 제2 패시베이션 물질층을 첫번째로 식각하는 단계,

상기 제1 패시베이션 물질층, 상기 제2 패시베이션 물질층을 두번째로 식각하는 단계를 포함하는 발광 다이오드 장치의 제조 방법.

청구항 16

제15 항에 있어서,

상기 첫번째로 식각하는 단계는 상기 두번째로 식각하는 단계보다 상대적으로 긴 시간동안 수행되는 발광 다이오드 장치의 제조 방법.

청구항 17

제15 항에 있어서,

상기 두번째로 식각하는 단계는 산소를 포함하는 첨가 가스를 이용하여 수행되는 발광 다이오드 장치의 제조 방법.

청구항 18

제17 항에 있어서,

상기 두번째로 식각하는 단계는 상기 첫번째로 식각하는 단계보다 상대적으로 더 이방성인 발광 다이오드 장치의 제조 방법.

청구항 19

제15 항에 있어서,

상기 두번째로 식각하는 단계는 상기 첫번째로 식각하는 단계보다 상대적으로 빠른 유량을 갖는 가스가 제공되는 발광 다이오드 장치의 제조 방법.

청구항 20

제15 항에 있어서,

상기 제1 패시베이션 물질층 상에 상기 미세 발광 다이오드를 배치하는 단계는 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극에 전압차를 형성하여 상기 미세 발광 다이오드를 정렬시키는 공정을 포함하는 발광 다이오드 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 발광 다이오드를 포함하는 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 발광 다이오드(Light Emitting Diode, LED)는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선 등의 빛의 형태로 변환시키는 소자로서, 가전제품, 리모콘, 전광판, 각종 자동화 기기 등에 사용되고 있으며, 그 적용범위는 점차 확대되는 추세이다.

[0003] 나아가, 발광 다이오드를 표시 장치에 적용하려는 시도가 확대되고 있다. 일 예로, 표시 장치의 백라이트로서 발광 다이오드가 이용되거나, 발광 다이오드를 화상을 표시할 수 있는 미세한 화소 단위로 소형화하여 자발광 형식의 표시 장치를 직접 구현하는 등의 시도가 확대되고 있다.

[0004] 이에, 발광 다이오드들을 소형화하면서도 여러 종류의 장치에 사용할 수 있을 만큼 충분한 밝기를 확보하기 위하여, 여러 개의 발광 다이오드를 집적할 수 있는 구조가 요구된다.

발명의 내용

해결하려는 과제

[0005] 다만, 발광 다이오드를 소형화하여 집적하는 경우, 발광체들 및 이들 발광체들에 전압을 제공하는 전극 또는 배선의 연결 구조의 신뢰성이 높을 것이 요구된다.

[0006] 이에, 본 발명이 해결하고자 하는 과제는 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성이 확보된 발광 다이오드 장치를 제공하는 것이다.

[0007] 나아가, 본 발명이 해결하고자 하는 다른 과제는 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성을 확보할 수 있는 발광 다이오드 장치의 제조 방법을 제공하는 것이다.

[0008] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 발광 다이오드 장치는 복수의 발광 영역이 정의된 박막 트랜지스터 기관, 상기 박막 트랜지스터 기관 상에 배치된 제1 다이오드 전극 및 제2 다이오드 전극, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 배치된 제1 패시베이션 패턴, 상기 제1 패시베이션 패턴 상에 배치된 복수의 미세 발광 다이오드, 상기 미세 발광 다이오드 상에 배치되며, 상기 제1 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제1 브릿지 패턴, 상기 제1 브릿지 패턴 상에 배치되며, 상기 제2 다이오드 전극과 상기 미세 발광 다이오드를 전기적으로 연결하는 제2 브릿지 패턴을 포함하되, 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽은 동일면을 형성한다.

[0010] 또한, 상기 미세 발광 다이오드는 발광 물질 및 상기 발광 물질을 원기둥 형태로 둘러싸는 보호층을 포함할 수 있다.

[0011] 또한, 상기 미세 발광 다이오드는 원기둥 모양을 갖되, 윗면에 대응되는 제1 측벽 및 밑면에 대응되는 제2 측벽을 포함할 수 있다.

[0012] 또한, 상기 발광 물질은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 가질 수 있다.

[0013] 또한, 상기 제1 측벽은 상기 p형 반도체층을 노출하고, 상기 제2 측벽은 상기 n형 반도체층을 노출할 수 있다.

[0014] 또한, 상기 제1 측벽은 상기 제1 브릿지 패턴과 접촉하고, 상기 제2 측벽은 상기 제2 브릿지 패턴과 접촉할 수 있다.

[0015] 또한, 상기 발광 물질은 무기 결정 구조를 가질 수 있다.

[0016] 또한, 상기 제1 브릿지 패턴은 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽을 따라 배치될 수 있다.

[0017] 또한, 상기 제2 브릿지 패턴은 상기 미세 발광 다이오드의 측벽과 상기 제1 패시베이션 패턴의 측벽을 따라 배치될 수 있다.

[0018] 또한, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극은 서로 평행하게 교대로 배치되는 미세 전극 라인들을 포함할 수 있다.

[0019] 또한, 상기 제1 패시베이션 패턴은 상기 미세 전극 라인들 사이에 배치될 수 있다.

[0020] 또한, 상기 미세 발광 다이오드는 상기 미세 전극 라인들 사이에 배치될 수 있다.

[0021] 또한, 상기 박막 트랜지스터 기관 상에 배치되고, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극의 하부에 배치된 격벽을 더 포함할 수 있다.

[0022] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 발광 다이오드 장치의 제조 방법은 박막 트랜지스터 기관을 준비하는 제1 단계, 상기 박막 트랜지스터 기관 상에 제1 다이오드 전극 및 제2 다이오드 전극을 형

성하는 제2 단계, 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 제1 패시베이션 패턴, 미세 발광 다이오드 및 제2 패시베이션 패턴을 형성하는 제3 단계, 상기 제1 패시베이션 패턴 및 상기 미세 발광 다이오드 상에 제1 브릿지 패턴 및 제2 브릿지 패턴을 형성하는 제4 단계를 포함하되, 상기 제3 단계는 2회의 식각 공정을 포함하는 하나의 마스크 공정에 의하여 수행된다.

[0023] 또한, 상기 제3 단계는 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극 사이에 제1 패시베이션 물질층을 형성하는 단계, 상기 제1 패시베이션 물질층 상에 상기 미세 발광 다이오드를 배치하는 단계, 상기 미세 발광 다이오드 상에 제2 패시베이션 물질층을 배치하는 단계, 상기 제2 패시베이션 물질층 상에 감광성 물질층을 도포하는 단계, 상기 감광성 물질층에 노광하고 현상하는 단계, 상기 제1 패시베이션 물질층, 상기 제2 패시베이션 물질층을 첫번째로 식각하는 단계, 상기 제1 패시베이션 물질층, 상기 제2 패시베이션 물질층을 두번째로 식각하는 단계를 포함할 수 있다.

[0024] 또한, 상기 첫번째로 식각하는 단계는 상기 두번째로 식각하는 단계보다 상대적으로 긴 시간동안 수행될 수 있다.

[0025] 또한, 상기 두번째로 식각하는 단계는 산소를 포함하는 첨가 가스를 이용하여 수행될 수 있다.

[0026] 또한, 상기 두번째로 식각하는 단계는 상기 첫번째로 식각하는 단계보다 상대적으로 더 이방성일 수 있다.

[0027] 또한, 상기 두번째로 식각하는 단계는 상기 첫번째로 식각하는 단계보다 상대적으로 빠른 유량을 갖는 가스가 제공될 수 있다.

[0028] 또한, 상기 제1 패시베이션 물질층 상에 상기 미세 발광 다이오드를 배치하는 단계는 상기 제1 다이오드 전극 및 상기 제2 다이오드 전극에 전압차를 형성하여 상기 미세 발광 다이오드를 정렬시키는 공정을 포함할 수 있다.

[0029] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0030] 본 발명의 실시예들에 의하면 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성이 확보된 발광 다이오드 장치를 제공할 수 있다.

[0031] 나아가, 발광체 및 이와 연결된 전극의 연결 구조에 대한 신뢰성을 확보할 수 있는 발광 다이오드 장치의 제조 방법을 제공할 수 있다.

[0032] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0033] 도 1은 일 실시예에 따른 표시 장치의 개략적인 블록도이다.

도 2는 도 1에 도시된 하나의 발광 유닛에 대한 등가 회로도이다.

도 3은 일 실시예에 따른 발광 다이오드의 구조를 나타낸 개략적인 도면이다.

도 4는 도 3의 I-I'로 도시된 선을 따라 절단한 단면도이다.

도 5는 하나의 미세 발광 다이오드의 구조를 나타낸 개략적인 사시도이다.

도 6 내지 도 18은 도 3 내지 도 5에 도시된 실시예에 따른 발광 다이오드의 제조 공정을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0035] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다

른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0036] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0037] 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 대해 설명한다.
- [0038] 도 1은 일 실예에 따른 표시 장치의 개략적인 블록도이다.
- [0039] 도 1을 참조하면, 발광 다이오드 장치(1)는 복수의 발광 유닛(LU)들을 포함하는 발광 패널(10) 및 발광 패널(10)을 구동하는 패널 구동부를 포함할 수 있다.
- [0040] 여기서, 발광 다이오드 장치(1)는 화상을 구현하는 장치뿐만 아니라, 특정 광의 패턴을 제공하는 장치를 포함하는 개념일 수 있다.
- [0041] 상기 패널 구동부는 발광 유닛(LU)들이 발광하지 않는 비발광 구간 및 발광 유닛(LU)들이 동시에 발광하는 동시 발광 구간을 포함하는 동시 발광 방식으로 발광 패널(10)을 구동할 수 있다. 다만, 이에 제한되지 않을 수 있다.
- [0042] 상기 패널 구동부는 주사 구동부(20), 데이터 구동부(30), 전원 공급부(40) 및 타이밍 제어부(50)를 포함할 수 있다.
- [0043] 발광 패널(10)은 광을 방출하기 위해 복수의 발광 유닛(LU)들을 포함할 수 있다. 예를 들어, 발광 패널(10)은 제1 내지 제 n (단, n 은 1보다 큰 정수) 주사선들(SL1 내지 SL n) 및 제1 내지 제 m (단, m 은 1보다 큰 정수) 데이터선들(DL1 내지 DL m)의 교차부마다 위치되는 $n*m$ 개의 발광 유닛(LU)들을 포함할 수 있다.
- [0044] 발광 유닛(LU)는 일 프레임 주기 내에서 변동되거나 유지되는 전압 레벨을 갖는 제1 전원(QVSS) 및 제2 전원(QVDD)에 연결되어 동시 발광 방식으로 구동될 수 있다. 발광 유닛(LU)의 구조 및 구동 방법에 대하여는 후술하기로 한다.
- [0045] 주사 구동부(20)은 제1 제어 신호(CNT1)에 기초하여 제1 내지 제 n 주사선들(SL1 내지 SL n)을 통해 발광 유닛(LU)들에 주사 신호를 제공할 수 있다.
- [0046] 데이터 구동부(30)는 제2 제어 신호(CNT2)에 기초하여 디지털 영상 데이터를 아날로그 데이터 신호로 변환하고, 데이터 신호를 제1 내지 제 m 데이터선들(DL1 내지 DL m)을 통해 발광 유닛(LU)들에 데이터 신호를 제공할 수 있다.
- [0047] 전원 공급부(40)는 제3 제어 신호(CNT3)에 기초하여 일 프레임 주기 내에서 변동되거나 유지되는 전압 레벨을 갖는 제1 전원(QVSS) 및 제2 전원(QVDD)을 발광 유닛(LU)들에 제공할 수 있다. 예를 들어, 전원 공급부(40)는 입력 전압으로부터 다양한 전압 레벨을 갖는 출력 전압들을 생성하는 DC-DC 컨버터와 제1 전원(QVSS) 및 제2 전원(QVDD)에 각각에 대한 전압 레벨을 설정하기 위해 제3 제어 신호(CNT3)에 기초하여 출력 전압들을 제1 전원(QVSS) 및 제2 전원(QVDD)의 전압 레벨들로 선택하는 스위치들을 포함할 수 있다.
- [0048] 타이밍 제어부(50)는 주사 구동부(20), 데이터 구동부(30), 및 전원 공급부(40)를 제어할 수 있다. 예를 들어, 타이밍 제어부(50)는 시스템 보드와 같은 외부 회로로부터 제어 신호(CNT)를 수신할 수 있다. 타이밍 제어부(50)는 주사 구동부(20), 데이터 구동부(30), 및 전원 공급부(40)를 각각 제어하기 위해 제1 내지 제3 제어 신호들(CTL1 내지 CTL3)을 생성할 수 있다. 주사 구동부(20)를 제어하기 위한 제1 제어 신호(CTL1)는 주사 개시 신호, 주사 클럭 신호 등을 포함할 수 있다. 데이터 구동부(30)를 제어하기 위한 제2 제어 신호(CTL2)는 수평 개시 신호, 로드 신호, 영상 데이터 등을 포함할 수 있다. 전원 공급부(40)를 제어하기 위한 제3 제어 신호(CTL3)는 제1 전원(QVSS) 및 제2 전원(QVDD)의 전압 레벨을 제어하기 위한 스위치 제어 신호 등을 포함할 수 있다. 타이밍 제어부(50)는 입력 영상 데이터에 기초하여 발광 패널(10)의 동작 조건에 맞는 디지털 영상 데이터를 생성하여 데이터 구동부(30)에 제공할 수 있다.
- [0049] 도 2는 도 1에 도시된 하나의 발광 유닛에 대한 등가 회로도이다.
- [0050] 도 2를 참조하면, 발광 유닛(LU)은 발광 다이오드(LD) 제1 스위칭 소자(T1), 제2 스위칭 소자(T2), 제3 스위칭

소자(T3) 및 제1 커패시터(C1)를 포함할 수 있다. 발광 유닛(LU)은 제i 번째 행 및 제j 번째 열에 위치할 수 있다.

- [0051] 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)는 박막 트랜지스터일 수 있다.
- [0052] 몇몇 실시예에서 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3) 각각은 NMOS 트랜지스터일 수 있으나, 이에 한정되는 것은 아니다. 즉, PMOS 트랜지스터가 사용될 수도 있다. 이하에서는, 설명의 편의를 위해 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)는 NMOS 트랜지스터인 경우를 예시로 설명한다.
- [0053] 제1 스위칭 소자(T1)는 구동 트랜지스터일 수 있다. 일 실시예에서, 제1 스위칭 소자는 제1 노드(N1)에 연결된 제1 게이트 전극, 제2 전원(QVDD)이 제공되는 제2 전원선에 연결된 제1 전극 및 제2 노드(N2)에 연결된 제2 전극을 포함할 수 있다. 여기서, 제2 전원(QVDD)은 발광 유닛(LU)의 구동 전원일 수 있다. 이에, 제2 전원선은 구동 전원선일 수 있다.
- [0054] 제2 스위칭 소자(T2)는 제i 주사선과 연결되며 제i 주사 신호(S[i])를 제공받는 제2 게이트 전극, 제1 노드(N1)에 연결된 제3 전극 및 제j 데이터선과 연결되어 제j 데이터 신호(D[j])를 제공받는 제4 전극을 포함할 수 있다.
- [0055] 제3 스위칭 소자(T3)는 발광 제어선과 연결되며 발광 제어 신호(EM)를 제공받는 제3 게이트 전극, 제2 노드(N2)에 연결된 제5 전극 및 제3 노드(N3)에 연결된 제6 전극을 포함할 수 있다.
- [0056] 제1 커패시터(C1)는 제2 전원(QVDD)이 제공되는 제2 전원선과 제1 노드(N1) 사이에 위치할 수 있다. 일 실시예에서, 제1 커패시터(C1)는 제2 전원(QVDD)이 제공되는 제2 전원선과 연결된 제1 용량전극 및 제1 노드(N1)에 연결된 제2 용량전극을 포함할 수 있다. 몇몇 실시예에서, 제1 커패시터(C1)는 유지 커패시터일 수 있다.
- [0057] 발광 다이오드(LD)는 제1 스위칭 소자(T1)로부터 흐르는 구동 전류에 기초하여 발광할 수 있다. 일 실시예에서, 발광 다이오드(LD)는 제3 노드(N3)에 연결된 제1 소자전극 및 제1 전원선에 연결된 제2 소자전극을 포함할 수 있다. 발광 다이오드(LD)은 제1 소자전극으로부터 제2 소자전극으로 흐르는 전류에 기초하여 발광할 수 있다.
- [0058] 발광 다이오드(LD)는 복수의 미세 발광 다이오드(NLD)들로 구성될 수 있다.
- [0059] 복수의 미세 발광 다이오드(NLD)들은 서로 대향하도록 배치된 두 전극 사이에 무기 결정 구조를 갖는 발광 물질을 배치하고, 특정 방향으로 전계를 형성함으로써 상기 발광 물질이 특정 극성으로 정렬되도록 함으로써 형성될 수 있다. 미세 발광 다이오드(NLD)의 더욱 구체적인 구조는 후술하기로 한다.
- [0060] 한편, 본 실시예에서는 3개의 스위칭 소자와 1개의 커패시터를 이용하여 구성된 발광 유닛(LU)의 회로도를 예시적으로 도시하였으나, 이에 제한되지 않을 수 있다. 즉, 다른 스위칭 소자들 또는 회로소자들이 더 배치되거나, 생략될 수도 있다. 나아가, 본 실시예에서 설명된 것과 같이, 각각의 발광 다이오드(LD)들을 액티브 매트릭스 형식으로 제어하지 않고, 다른 방식으로 제어할 수도 있음은 물론이다.
- [0061] 이하에서는, 발광 다이오드(LD)의 구체적인 구조에 대하여 설명하기로 한다.
- [0062] 도 3은 일 실시예에 따른 발광 다이오드의 구조를 나타낸 개략적인 도면이고, 도 4는 도 3의 I-I'로 도시된 선을 따라 절단한 단면도이며, 도 5는 하나의 미세 발광 다이오드의 구조를 나타낸 개략적인 사시도이다.
- [0063] 도 3은 각각의 발광 유닛(LU)의 평면상의 구조에서, 발광 다이오드(LD)가 형성되는 평면상의 영역 중 일부를 도시한 영역일 수 있다.
- [0064] 도 3 내지 도 5를 참조하면, 각각의 발광 유닛(LU)은 박막 트랜지스터 기관(100), 버퍼층(200) 및 발광 다이오드층(300)을 포함한다.
- [0065] 이하, 하나의 발광 유닛(LU)의 적층 구조를 기준으로 설명하기로 한다.
- [0066] 박막 트랜지스터 기관(100)은 전술한 제1 내지 제3 스위칭 소자(T1, T2, T3)가 형성된 기관일 수 있다. 일 실시예에서, 박막 트랜지스터 기관(100)은 베이스 기관, 상기 베이스 기관 상의 반도체층, 상기 반도체층 상에 배치되며 절연층에 의하여 서로 이격된 복수의 금속층으로 구성될 수 있다.
- [0067] 박막 트랜지스터 기관(100) 상에는 버퍼층(200)이 배치된다.
- [0068] 버퍼층(200)은 버퍼층(200)은 발광 다이오드(LD)의 양 전극이 평탄면상에 배치되도록 상부가 실질적으로 평탄할

수 있다. 또한, 버퍼층(200)에는 발광 다이오드(LD)의 양 전극과 버퍼층(200)의 하부에 배치된 박막 트랜지스터 기관(100)상의 금속층이 연결되는 콘택홀(미도시)이 배치될 수 있다.

- [0069] 버퍼층(200) 상에는 격벽(310)이 배치된다. 격벽(310) 발광 다이오드(LD)를 구성하는 각각의 미세 발광 다이오드(NLD)들이 격벽(310)의 사이에 배치되도록 하고, 격벽(310)의 측벽을 따라 배치된 후술할 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)이 빛을 반사하는 재질로 형성됨으로써, 광 효율을 향상시키도록 할 수 있다. 다만, 이에 제한되지 아니하고, 후술할 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)이 투명 소재로 형성된다 하더라도, 격벽(310)이 광을 반사하는 재질로 형성되는 경우, 광 효율을 향상시킬 수 있다. 또한, 본 실시예에서 격벽(310)은 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 모두에 의하여 오버랩되도록 배치된 것으로 예시되었으나, 이에 제한되지 않을 수 있다. 즉, 격벽(310)은 제1 다이오드 전극(ED1) 또는 제2 다이오드 전극(ED2) 중 어느 하나에 의하여만 오버랩되도록 배치될 수도 있다.
- [0070] 격벽(310) 상에는 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)이 배치된다. 제1 다이오드 전극(ED1)은 발광 다이오드(LD)의 애노드 전극일 수 있으며, 제2 다이오드 전극(ED2)은 발광 다이오드(NLD)의 캐소드 전극일 수 있다.
- [0071] 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)은 각각 버퍼층(200) 하부의 금속층과 연결되어 각각 제1 전원(QVSS) 및 제2 전원(QVDD)을 제공받을 수 있다.
- [0072] 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)은 발광 다이오드(LD)가 형성되는 영역에서 서로 평행하게 교대로 배치되는 미세 라인들을 포함할 수 있다. 예를 들면, 제1 다이오드 전극(ED1)은 서로 평행하게 연장된 복수의 제1 전극 라인들(ED1_L1~ED1_L4)을 포함하고, 제2 다이오드 전극(ED2) 또한 서로 평행하게 연장된 복수의 제2 전극 라인들(ED2_L1~ED2_L4)을 포함할 수 있다. 여기서, 각각의 제1 전극 라인들(ED1_L1~ED1_L4) 및 제2 전극 라인들(ED2_L1~ED2_L4)은 서로 평행하게 교대로 배치될 수 있다.
- [0073] 복수의 제1 전극 라인(ED1_L1~ED1_L4)은 서로 전기적으로 연결되어 동일한 전압이 제공될 수 있다. 복수의 제2 전극 라인(ED2_L1~ED2_L4) 또한 서로 전기적으로 연결되어 동일한 전압이 제공될 수 있다. 여기서, 복수의 제1 전극 라인(ED1_L1~ED1_L4) 및 복수의 제2 전극 라인(ED2_L1~ED2_L4)에 제공되는 전압은 제1 전원(QVSS) 및 제2 전원(QVDD)일 수 있다.
- [0074] 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)은 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu)을 포함하는 금속 중 일부로 형성되거나, 전도성 산화물 및 전도성 중합체들을 포함한 다양한 전도성 재료로 형성될 수 있다.
- [0075] 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 상에는 제1 패시베이션 패턴(320)이 배치된다. 공정 과정에서, 제1 패시베이션 패턴(320)은 발광 다이오드(LD)를 구성하는 각각의 미세 발광 다이오드(NLD)들이 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)과 일정 거리로 이격되도록 유지시키는 역할을 수행할 수 있다. 이에 대한 구체적인 내용은 후술하기로 한다.
- [0076] 제1 패시베이션 패턴(320)은 무기절연물질로 이루어질 수 있으며, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)이 대향하는 영역 사이에 배치되도록 패턴을 가질 수 있다.
- [0077] 또한, 후술할 미세 발광 다이오드(NLD)가 배치되는 영역에서, 제1 패시베이션 패턴(320)의 측벽은 미세 발광 다이오드(BLD)의 제1 측벽(SA1) 및 제2 측벽(SA2)과 동일선상에 배치될 수 있다. 이에 대한 구체적인 설명은 후술하기로 한다.
- [0078] 제1 패시베이션 패턴(320) 상에는 복수의 미세 발광 다이오드(NLD)가 배치된다. 하나의 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)의 쌍에 의하여 제어되는 복수의 미세 발광 다이오드(NLD)는 하나의 발광 다이오드(LD)를 구성한다.
- [0079] 각각의 미세 발광 다이오드(NLD)는 제1 패시베이션 패턴(320) 상에 배치되며, 평면 시점에서(즉, 도 1의 시점에서), 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 사이에 배치될 수 있다.
- [0080] 각각의 미세 발광 다이오드(NLD)는 발광 물질(EC) 및 보호층(CS)을 포함한다.
- [0081] 발광 물질(EC)은 무기 결정 구조를 가질 수 있으며, 보호층(CS)에 의하여 둘러싸인 원기둥 모양의 형태로 형성될 수 있다. 발광 물질(EC)은 전류가 흐름에 따라 자외광으로부터 가시광까지의 파장 영역에 속하는 소정 파장

의 광을 방출할 수 있다.

- [0082] 발광 물질(EC)은 p형 반도체층, 중간층 및 n형 반도체층이 순차적으로 배열된 구조를 가질 수 있다.
- [0083] 여기서, p형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트를 포함할 수 있다.
- [0084] n형 반도체층은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트를 포함할 수 있다.
- [0085] 중간층은 전자와 정공이 재결합되는 영역으로, 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다. 중간층(LL)은 예를 들어, $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 가지는 반도체 재료를 포함하여 형성될 수 있으며, 단일 양자 우물 구조 또는 다중 양자 우물 구조(MQW: Multi Quantum Well)로 형성될 수 있다. 또한, 양자선(Quantum wire)구조 또는 양자점(Quantum dot)구조를 포함할 수도 있다.
- [0086] 보호층(CS)은 원기둥 모양으로 형성된 발광 물질(EC)의 측면을 감싸는 모양으로 형성될 수 있으며, 내부에 배치된 발광 물질(EC)을 보호할 수 있고, 발광 물질(EC)의 형태를 유지시킬 수 있다. 또한, 보호층(CS)은 발광 물질(EC)이 의도하지 않은 구성과 전기적으로 연결되는 것을 차단할 수 있다. 이에, 보호층(CS)은 절연 물질로 이루어질 수 있다.
- [0087] 보호층(CS)은 원기둥 모양으로 형성된 발광 물질(EC)의 곡면형 측벽을 감싸도록 형성되므로, 발광 물질(EC)의 원 모양의 제1 측벽(SA1) 및 제1 측벽(SA1)의 맞은편에 배치된 제2 측벽(SA2)은 외부로 노출될 수 있다. 다시 말하면, 미세 발광 다이오드(NLD)는 원기둥 모양을 갖되, 밀면(또는 윗면)은 제1 측벽(SA1)에 대응되고, 윗면(또는 밀면)은 제2 측벽(SA2)에 대응될 수 있다.
- [0088] 여기서, 발광 물질(EC)을 구성하는 상기 p형 반도체층, 상기 중간층 및 상기 n형 반도체층은 순차 배열됨에 따라, 제1 측벽(SA1) 및 제2 측벽(SA2)은 각각 상기 p형 반도체층 및 상기 n형 반도체층 중 어느 하나에 대응될 수 있다. 즉, 발광 물질(EC)은 보호층(CS)에 의하여 둘러싸인 구조를 갖되, 제1 측벽(SA1)으로는 p형 반도체층(또는 n형 반도체층)을 노출하고, 제2 측벽(SA2)으로는 n형 반도체층(또는 p형 반도체층)을 노출할 수 있다.
- [0089] 복수의 미세 발광 다이오드(NLD) 상에는 제2 패시베이션 패턴(330)이 배치된다. 제2 패시베이션 패턴(330)은 상부에 배치되는 제1 브릿지 패턴(BP1)이 제1 다이오드 전극(ED1) 및 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 이외의 구성과 전기적으로 연결되는 것을 방지할 수 있다. 제2 패시베이션 패턴(330)은 무기절연물질로 이루어질 수 있다.
- [0090] 제2 패시베이션 패턴(330) 상에는 제1 브릿지 패턴(BP1)이 배치된다. 제1 브릿지 패턴(BP1)은 제1 다이오드 전극(ED1)과 미세 발광 다이오드(NLD)가 서로 전기적으로 연결될 수 있는 통로 역할을 수행할 수 있다.
- [0091] 한편, 전술한 바와 같이, 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 및 제2 측벽(SA2)은 하부에 배치된 제1 패시베이션 패턴(320)의 측벽과 동일면을 형성할 수 있다. 다시 말하면, 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 및 제2 측벽(SA2)과 하부에 배치된 제1 패시베이션 패턴(320)의 측벽은 실질적으로 연결되는 하나의 측벽을 형성할 수 있다.
- [0092] 이 경우, 미세 발광 다이오드(NLD)의 제1 측벽(SA1)과 제1 패시베이션 패턴(320)의 측벽은 실질적으로 동일면을 형성하므로, 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 및 하부에 배치된 제1 패시베이션 패턴(320)의 측벽을 따라 배치되는 제1 브릿지 패턴(BP1)에 형성되는 단차가 최소화될 수 있다. 이에, 제1 브릿지 패턴(BP1)의 단선이 최소화될 수 있다.
- [0093] 제1 브릿지 패턴(BP1)은 투명 도전성 물질로 형성될 수 있다. 다만, 각각의 미세 발광 다이오드(NLD)로부터 방출된 광이 상부로 나가는 경로가 충분히 확보되는 경우, 제1 브릿지 패턴(BP1)은 불투명한 금속 물질로 형성될 수도 있다.
- [0094] 제1 브릿지 패턴(BP1) 상에는 제3 패시베이션층(340)이 배치된다. 제3 패시베이션층(340)은 제1 브릿지 패턴(BP1)과 제2 브릿지 패턴(BP2)을 서로 절연시킬 수 있으며, 무기절연물질로 형성될 수 있다.
- [0095] 제3 패시베이션층(340) 상에는 제2 브릿지 패턴(BP2)이 형성된다. 제2 브릿지 패턴(BP2)은 제2 다이오드 전극

(ED2)과 미세 발광 다이오드(NLD)가 서로 전기적으로 연결될 수 있는 통로 역할을 수행할 수 있다.

- [0096] 한편, 전술한 바와 같이, 미세 발광 다이오드(NLD)의 제2 측벽(SA2)과 하부에 배치된 제1 패시베이션 패턴(320)의 측벽은 실질적으로 동일면을 형성하므로, 미세 발광 다이오드(NLD)의 제2 측벽(SA2) 및 하부에 배치된 제1 패시베이션 패턴(320)의 측벽을 따라 배치되는 제2 브릿지 패턴(BP2)에 형성되는 단차가 최소화될 수 있다. 이에, 제2 브릿지 패턴(BP2)의 단선이 최소화될 수 있다.
- [0097] 제2 브릿지 패턴(BP2)은 투명 도전성 물질로 형성될 수 있다. 다만, 각각의 미세 발광 다이오드(NLD)로부터 방출된 광이 상부로 나가는 경로가 충분히 확보되는 경우, 제2 브릿지 패턴(BP2)은 불투명한 금속 물질로 형성될 수도 있다.
- [0098] 제2 브릿지 패턴(BP2) 상에는 제4 패시베이션층(350)이 배치된다. 제4 패시베이션층(350)은 하부에 배치된 구성요소들을 외부로부터 보호할 수 있다. 다만, 제4 패시베이션층(350)은 생략될 수도 있다.
- [0099] 이하에서는, 도 3 내지 도 5에 도시된 실시예에 따른 발광 다이오드(LED)의 제조 방법에 대하여 구체적으로 설명하기로 한다.
- [0100] 도 6 내지 도 18은 도 3 내지 도 5에 도시된 실시예에 따른 발광 다이오드의 제조 공정을 나타낸 도면이다.
- [0101] 도 6 내지 도 18은, 도 3의 I-I'으로 도시된 선을 따라 절단한 단면을 공정 순서대로 도시한다.
- [0102] 먼저, 도 6을 참조하면, 박막 트랜지스터 기판(100)을 제조하고, 박막 트랜지스터 기판(100) 상에 버퍼층(200)을 적층한다. 다음으로, 버퍼층(200) 상에 격벽(310)을 형성한다. 다음으로, 격벽(310) 상에 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)을 형성한다.
- [0103] 여기서, 격벽(310)을 형성하는 공정은 하나의 마스크 공정에 의하여 수행될 수 있고, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)을 형성하는 공정은 또 다른 마스크 공정에 의하여 형성될 수 있다. 다만 이에 제한되지 아니하고, 격벽(310), 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)은 구조에 따라 하나의 마스크 공정에 의하여 형성될 수도 있다.
- [0104] 본 명세서에서 마스크 공정이란, 제조하고자 하는 패턴을 형성하는 물질층 형성, 상기 물질층 상에 감광성 물질 도포, 상기 감광성 물질 상에 일부 영역에서 광을 차단하는 마스크를 이용하여 노광, 노광 패턴에 따라 상기 감광성 물질의 일부 제거(현상), 상부로 드러난 제조하고자 하는 패턴을 형성하는 물질층의 일부를 제거(식각), 잔류하는 감광성 물질의 제거의 과정 중 적어도 일부를 포함하는 일련의 공정을 의미하기로 한다.
- [0105] 상술한 여러 단계 중 일부가 생략되더라도, 광을 차단하는 마스크를 이용하여 노광하는 공정이 포함되는 경우, 하나의 마스크 공정으로 정의될 수 있다. 예를 들면, 제조하려고 하는 패턴 자체가 감광성 물질로 형성된 경우, 감광성 물질 도포, 노광, 현상의 세 단계에 의하여 원하는 패턴을 형성할 수 있으며, 이 또한 하나의 마스크 공정으로 정의될 수 있다.
- [0106] 다음으로, 도 7을 참조하면, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 상에 제1 패시베이션 물질층(322)을 형성한다.
- [0107] 다음으로, 도 8을 참조하면, 제1 패시베이션 물질층(322) 상에 복수의 미세 발광 다이오드(NLD)들을 배치시키고, 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)에 전압을 인가하여 미세 발광 다이오드(NLD)들을 동일 방향으로 정렬시킨다. 여기서, 미세 발광 다이오드(NLD)들은 특수 용액에 섞인 상태로 제1 패시베이션 물질층(322) 상에 분사될 수 있으며, 상기 특수 용액을 자연 건조시키거나 제거함으로써 미세 발광 다이오드(NLD)가 제1 패시베이션 물질층(322) 상에 배치되도록 할 수 있다.
- [0108] 한편, 각각의 미세 발광 다이오드(NLD)는 제1 패시베이션 물질층(322)에 형성된 단차에 의하여 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2)과 일정 거리 이격되도록 배치될 수 있다. 다시 말하면, 각각의 미세 발광 다이오드(NLD)는 제1 패시베이션 물질층(322)에 형성된 단차에 의하여 제1 다이오드 전극(ED1) 및 제2 다이오드 전극(ED2) 사이에 배치될 수 있다.
- [0109] 다음으로, 도 9를 참조하면, 제1 패시베이션 물질층(322) 및 미세 발광 다이오드(NLD) 상에 제2 패시베이션 물질층(332)을 형성한다.
- [0110] 다음으로, 도 10을 참조하면, 제2 패시베이션 물질층(332) 상에 감광성 물질층(PH)을 도포한다.
- [0111] 다음으로, 도 11을 참조하면, 미세 발광 다이오드(NLD)들이 배치되는 영역, 다시 말하면, 제1 다이오드 전극

(ED1) 및 제2 다이오드 전극(ED2) 사이의 영역을 오버랩하는 모양의 마스크(MA)를 이용하여, 감광성 물질층(PH)에 자외선을 조사한다. 여기서, 감광성 물질층(PH)은 포지티브 타입의 감광성 물질로 구성될 수 있다. 다만, 이에 제한되지 않고, 네거티브 타입의 감광성 물질로 구성될 수도 있음은 물론이다. 이 경우, 마스크(MA)에 형성된 패턴이 반전될 수 있다.

[0112] 다음으로, 도 12를 참조하면, 감광성 물질층(PH) 중 자외선이 조사된 영역을 제거한다.

[0113] 다음으로, 감광성 물질층(PH) 및 미세 발광 다이오드(NLD)의 패턴에 대응되도록 제1 패시베이션 패턴 물질층(322) 및 제2 패시베이션 패턴 물질층(332)을 식각한다. 여기서, 제1 패시베이션 패턴 물질층(322) 및 제2 패시베이션 패턴 물질층(332)에 대한 식각은 2회에 걸쳐 진행될 수 있다. 제1 패시베이션 패턴 물질층(322) 및 제2 패시베이션 패턴 물질층(332)에 대한 식각을 2회에 걸쳐 진행하는 경우, 전술한 바와 같이, 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 및 제2 측벽(SA2)과 제1 패시베이션 패턴(320)의 측벽이 동일면을 형성하도록 제조할 수 있다.

[0114] 먼저, 도 13을 참조하면, 제1 패시베이션 물질층(322) 및 제2 패시베이션 패턴(330)을 첫번째로 식각한다. 첫번째 식각 공정은 두번째 식각 공정과 비교하여 상대적으로 더욱 이방성일 수 있으며, 더욱 장시간에 걸쳐 진행될 수 있고, 더욱 많은 양의 물질을 식각해낼 수 있다.

[0115] 보다 구체적으로, 첫번째 식각 공정은, 5~50[mT]의 압력, 1~3[KW]의 전력 조건 하에서, 10~100[sccm]의 유량을 갖는 (hydro) Fluorocarbon계 가스와, CF₄, C₄F₈, CHF₃, CH₂F₂, C₂HF₅, AR, He 중 적어도 하나 이상을 포함하되, 10~100[sccm]의 유량을 갖는 첨가 가스를 이용하여 장시간 진행될 수 있다.

[0116] 첫번째 식각 공정은, 제2 패시베이션 물질층(332)이 제2 패시베이션 패턴(330)의 모양을 어느 정도 갖추고, 제1 패시베이션 물질층(322)이 미세 발광 다이오드(NLD)를 오버랩하되, 미세 발광 다이오드(NLD)가 배치된 영역 이외로는 일부만 잔류할 때까지 진행될 수 있다.

[0117] 다음으로, 도 14를 참조하면, 잔류하는 제1 패시베이션 물질층(322) 및 제2 패시베이션 물질층(332)을 두번째로 식각한다. 두번째 식각 공정은 첫번째 식각 공정과 비교하여 상대적으로 더욱 등방성일 수 있으며, 더욱 단시간에 걸쳐 진행될 수 있고, 상대적으로 적은 양의 물질만을 식각해낼 수 있다.

[0118] 보다 구체적으로, 두번째 식각 공정은, 5~50[mT]의 압력, 1~3[KW]의 전력 조건 하에서, 10~150[sccm]의 유량을 갖는 (hydro) Fluorocarbon계 가스와 CF₄, C₄F₈, CHF₃, CH₂F₂, C₂HF₅, AR 중 적어도 하나 이상에 O₂를 반드시 포함하되 10~150[sccm]의 유량을 갖는 첨가 가스를 이용하여 단시간 진행될 수 있다.

[0119] 두번째 식각 공정은, 제2 패시베이션 물질층(332)이 패시베이션 패턴(320)의 모양을 갖도록 완성시키며, 잔류하는 제1 패시베이션 물질층(322)의 일부를 제거함으로써, 미세 발광 다이오드(NLD)의 제1 측벽(SA1) 및 제2 측벽(SA2)과 제1 패시베이션 패턴(320)의 측벽이 동일면을 갖도록 제어될 수 있다.

[0120] 다음으로, 도 15를 참조하면, 잔류하는 감광성 물질층(PH)을 제거한다.

[0121] 이로써, 도 7 내지 도 15의 과정을 거쳐, 2회의 식각을 포함한 하나의 마스크 공정이 완료될 수 있다.

[0122] 다음으로, 도 16을 참조하면, 1회의 마스크 공정을 이용하여 제1 브릿지 패턴(BP1)을 형성한다.

[0123] 다음으로, 도 17을 참조하면, 1회의 마스크 공정을 이용하여 제3 패시베이션층(340)을 형성한다.

[0124] 다음으로, 도 18을 참조하면, 1회의 마스크 공정을 이용하여 제2 브릿지 패턴(BP2)을 형성함으로써, 도 1 내지 도 5에 도시된 실시예에 따른 발광 유닛(LU)의 제조가 완료될 수 있다.

[0125] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0126] ED1: 제1 다이오드 전극

ED2: 제2 다이오드 전극

320: 제1 패시베이션 패턴

LD: 발광 다이오드

NLD: 미세 발광 다이오드

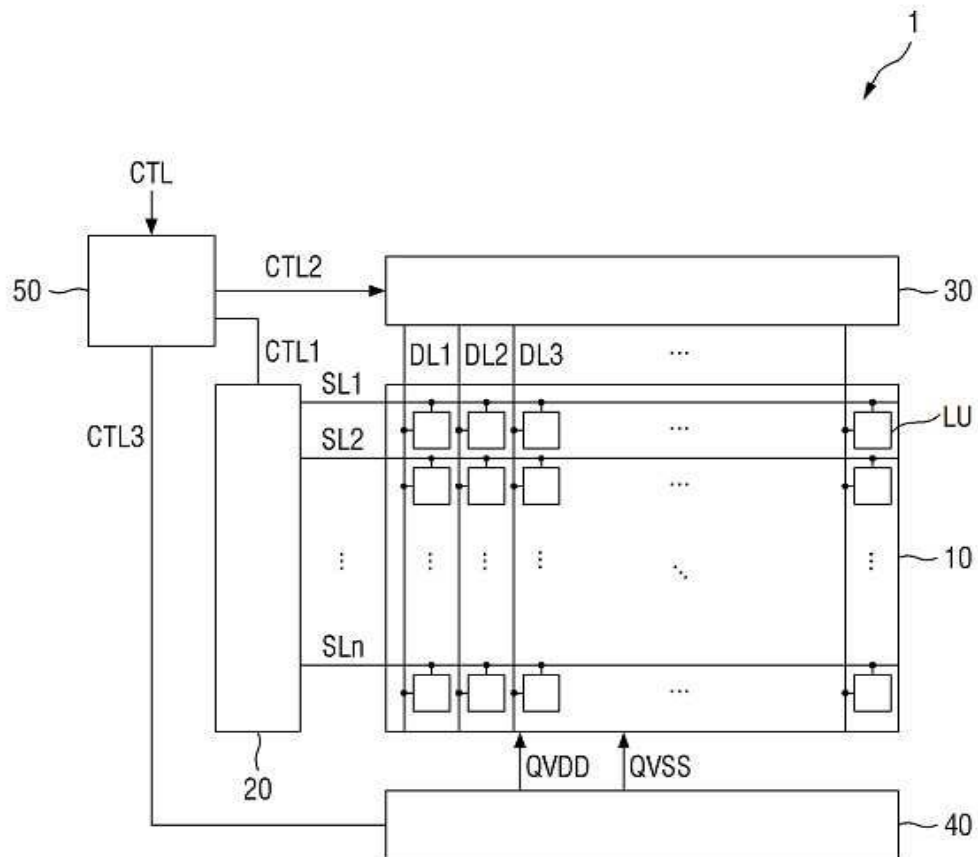
330: 제2 패시베이션 패턴

SA1: 제1 측벽

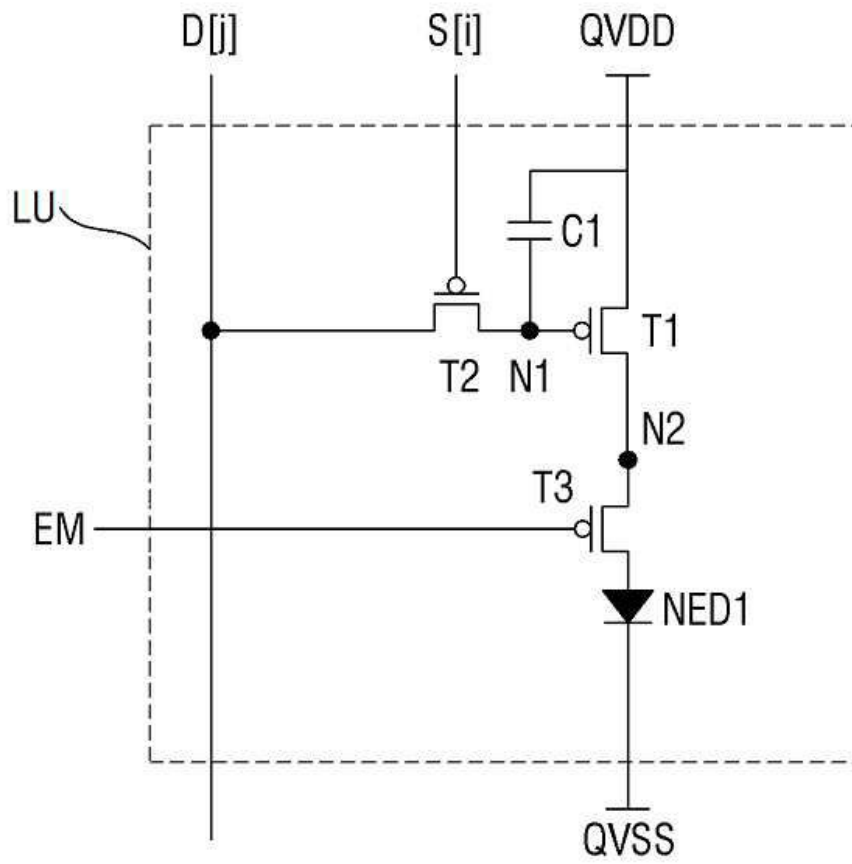
SA2: 제2 측벽

도면

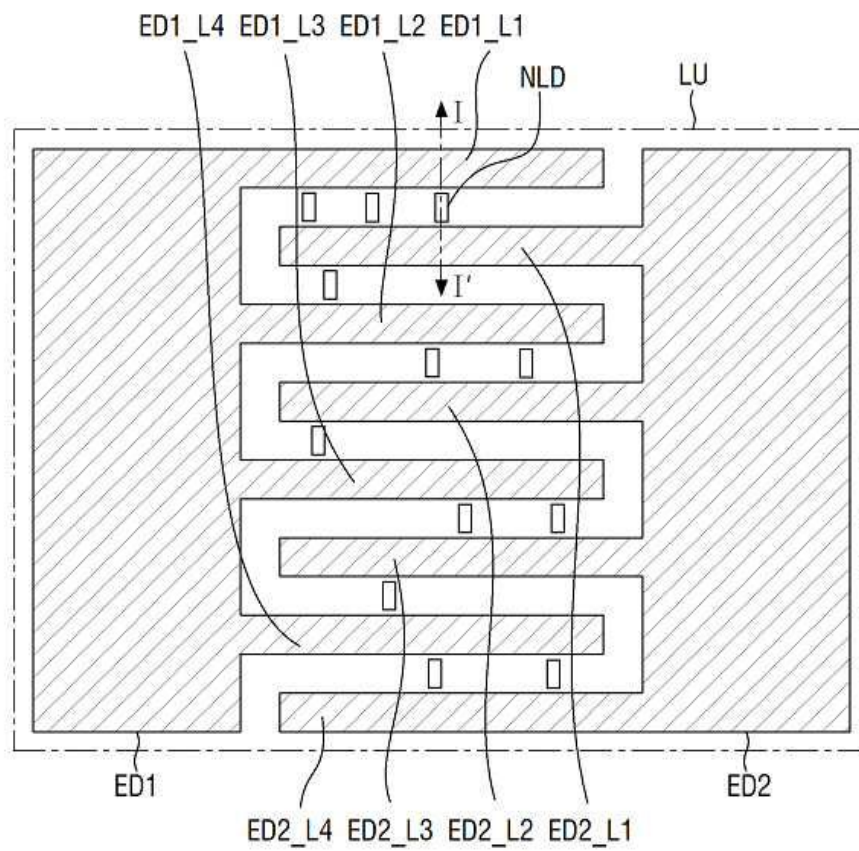
도면1



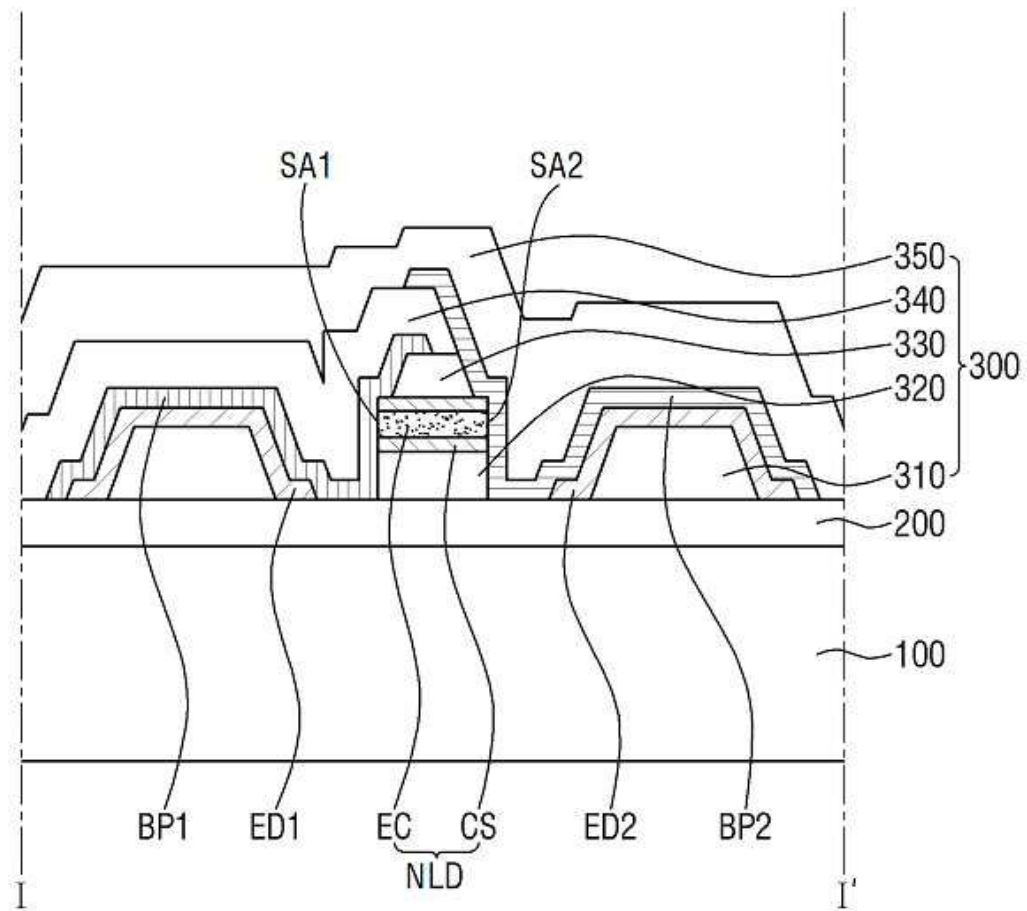
도면2



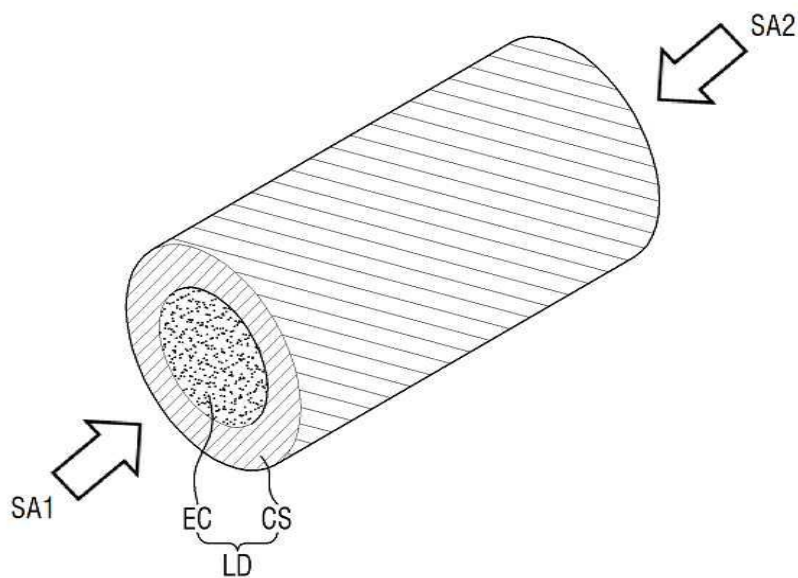
도면3



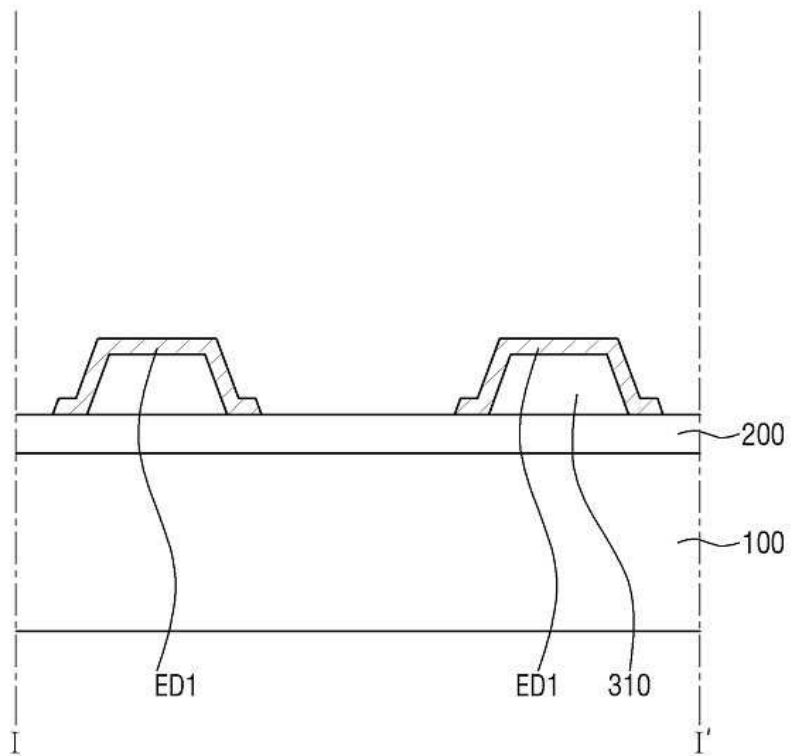
도면4



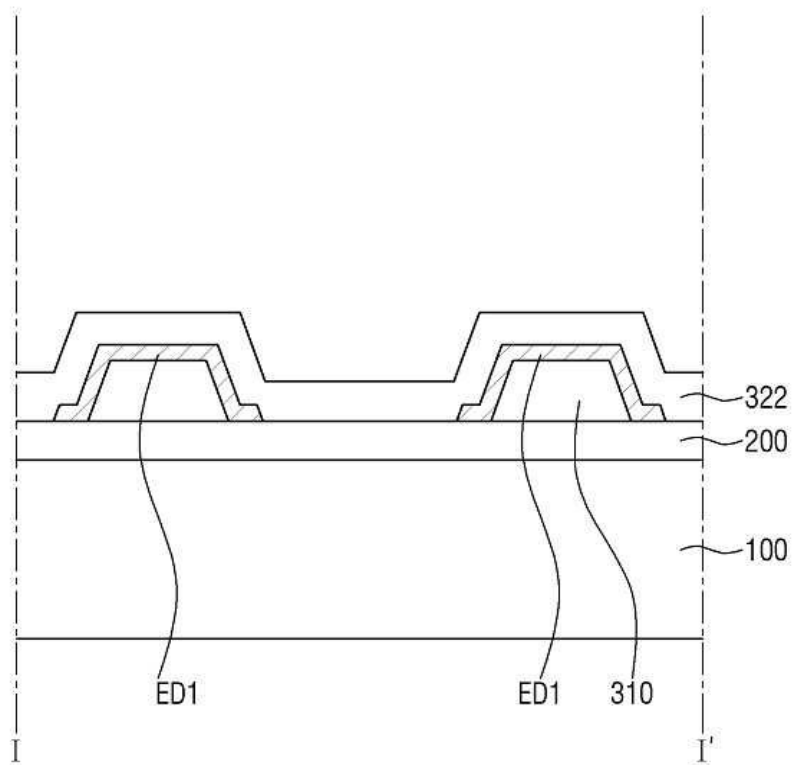
도면5



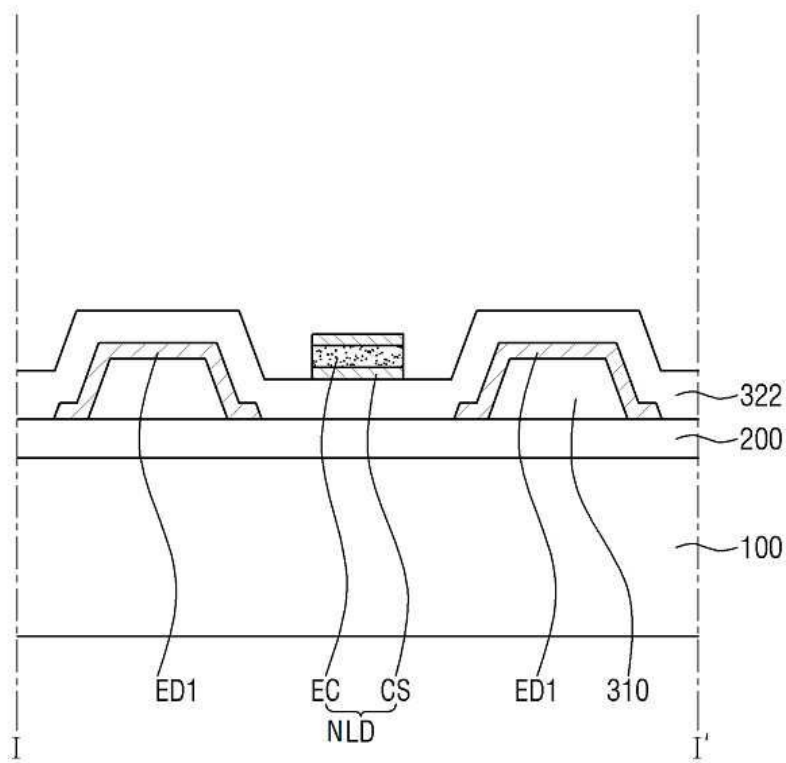
도면6



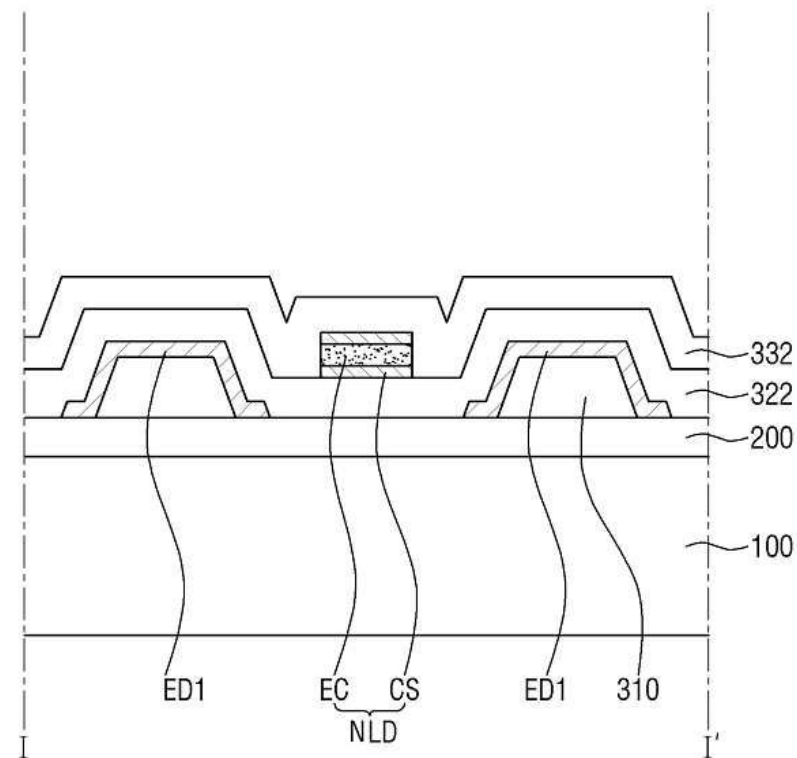
도면7



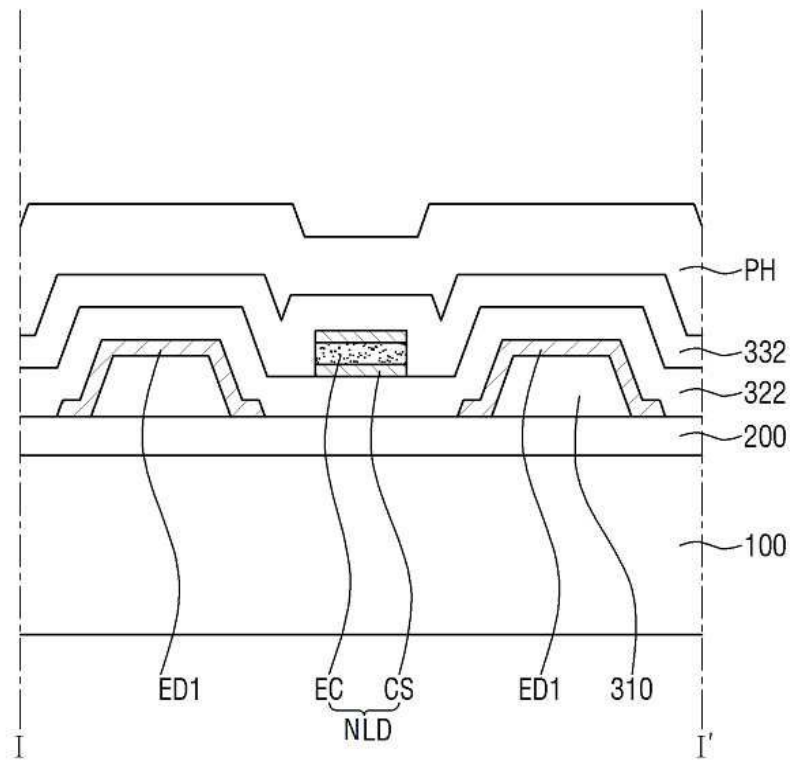
도면8



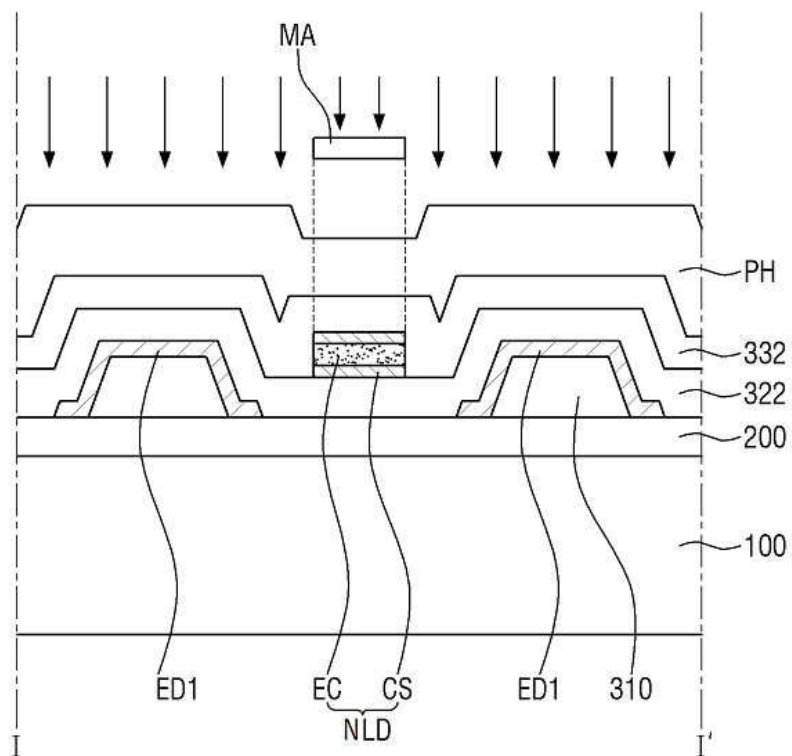
도면9



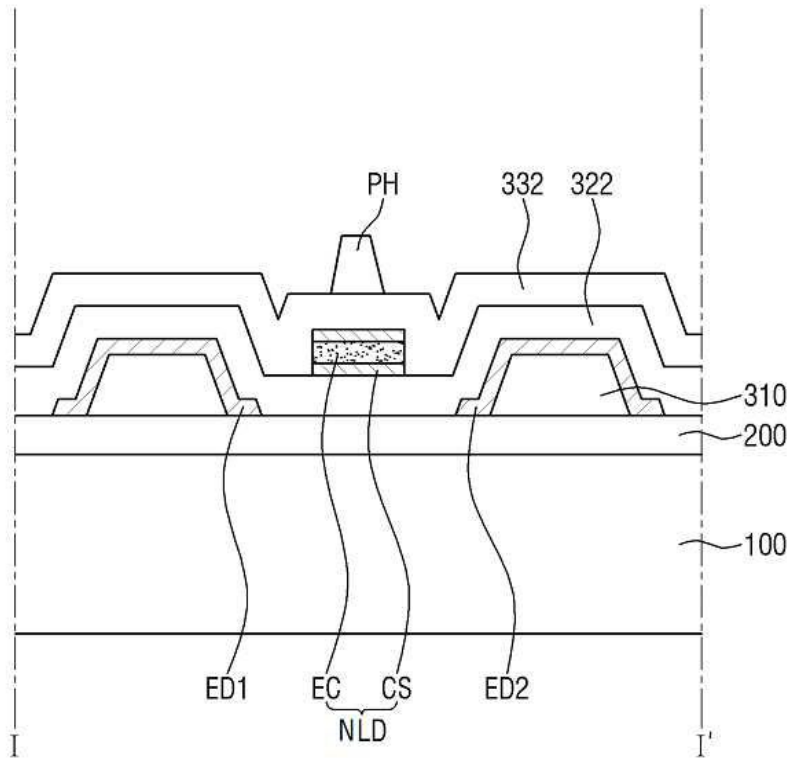
도면10



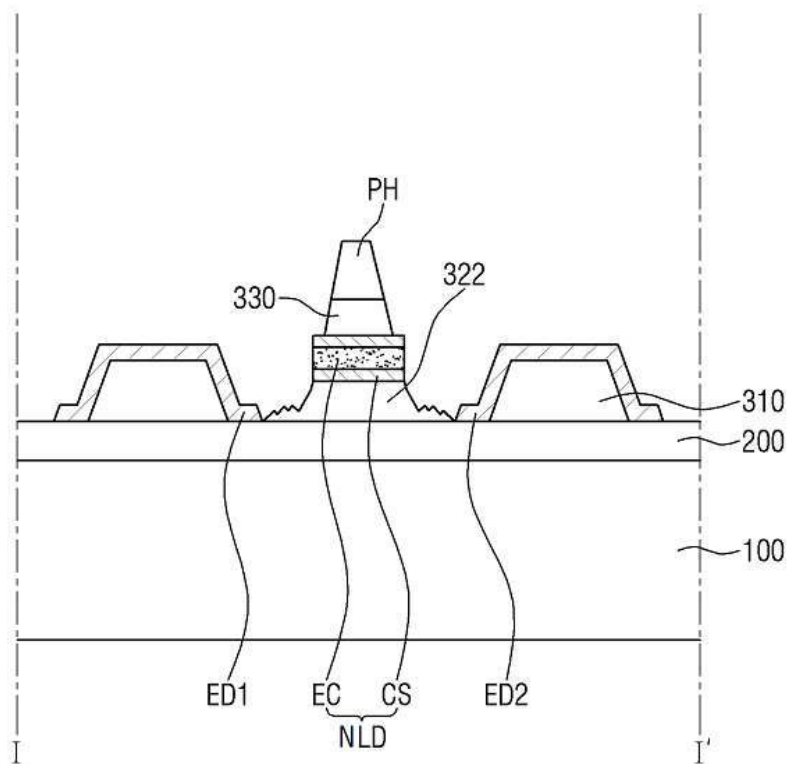
도면11



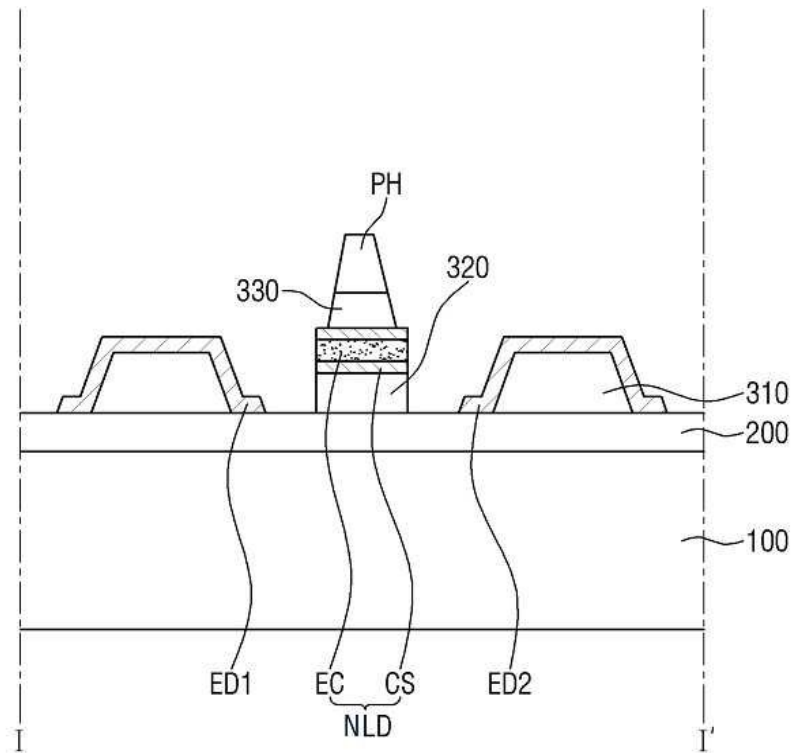
도면12



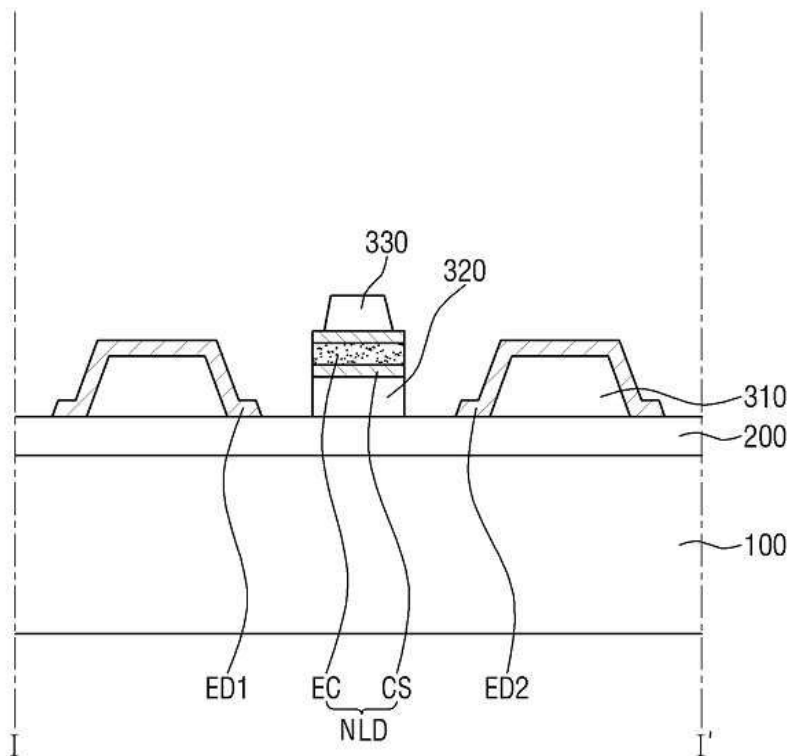
도면13



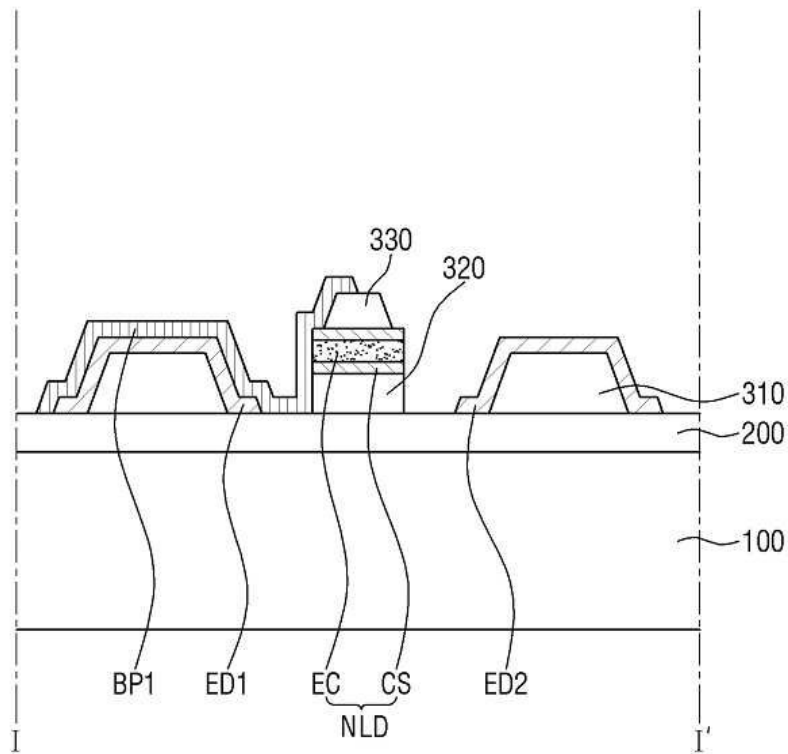
도면14



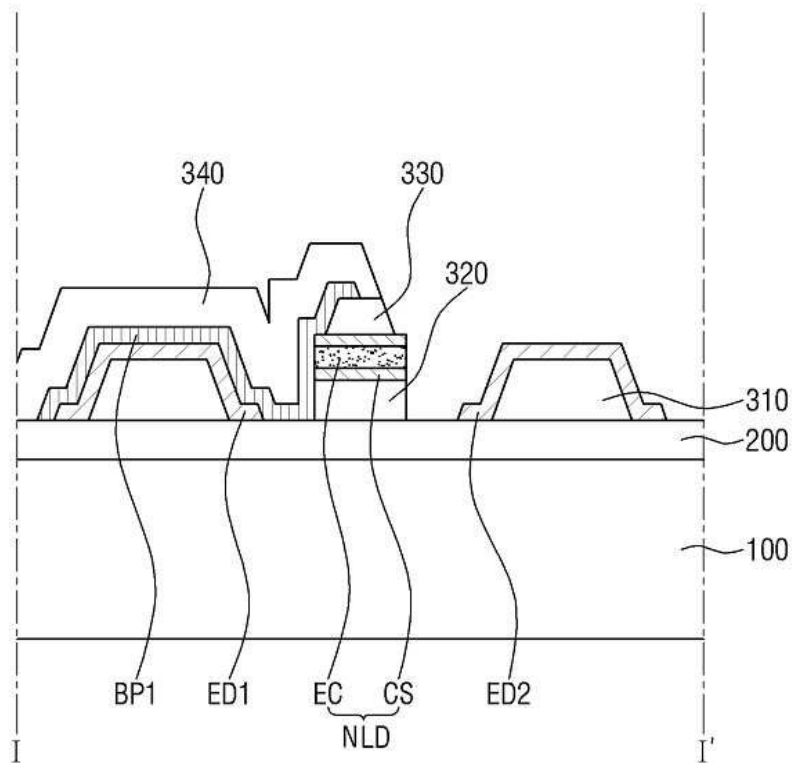
도면15



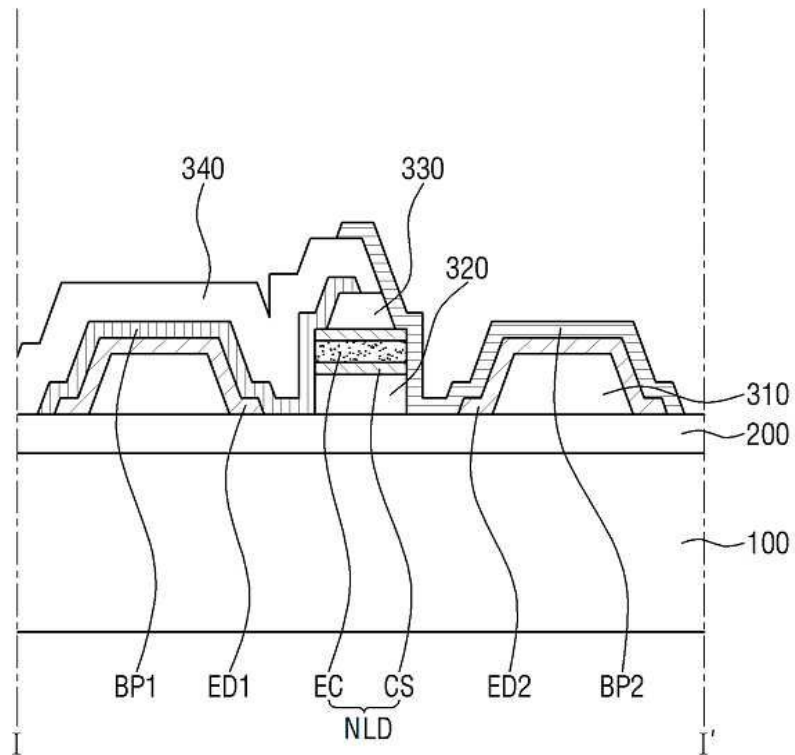
도면16



도면17



도면18



专利名称(译)	发光二极管装置及其制造方法		
公开(公告)号	KR1020190067296A	公开(公告)日	2019-06-17
申请号	KR1020170166827	申请日	2017-12-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	배수빈 정유광 최신일 이준걸 김상갑		
发明人	배수빈 정유광 최신일 이준걸 김상갑		
IPC分类号	H01L27/15 H01L33/00 H01L33/48		
CPC分类号	H01L27/156 H01L33/0008 H01L33/005 H01L33/48 H01L25/0753 H01L25/167 H01L33/62 H01L2933/0066 H01L21/30621 H01L27/124 H01L33/20 H01L33/44 H01L33/54 H01L2933/005		
外部链接	Espacenet		

摘要(译)

提供了一种发光二极管装置和制造该发光二极管装置的方法。发光二极管装置包括：薄膜晶体管基板，在其中限定有多个发光区域；第一二极管电极和第二二极管电极，其布置在薄膜晶体管基板上；以及第一钝化图案，其布置在第一二极管电极和第二二极管电极之间。钝化图案，设置在第一钝化图案上的多个微发光二极管，设置在微发光二极管上并且将第一二极管电极和微发光二极管电连接的第一桥图案，第一第二桥接图案设置在桥接图案上以电连接第二二极管电极和微发光二极管，其中，微发光二极管的侧壁和第一钝化图案的侧壁形成相同的表面。

